

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-36568
(P2000-36568A)

(43)公開日 平成12年2月2日(2000.2.2)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|--------------------------|-------|---------------|-------------------------|
| H 0 1 L 27/10 | 4 5 1 | H 0 1 L 27/10 | 5 F 0 0 1 |
| | 4 8 1 | | 5 F 0 8 3 |
| 27/108 | | | 6 5 1 |
| 21/8242 | | 29/78 | 3 7 1 |
| 21/8247 | | | |

審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平10-202979

(22)出願日 平成10年7月17日(1998.7.17)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 首 藤 晋

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

Fターム(参考) 5F001 AA17 AD12 AG10 AG21

5F083 FR02 GA09 JA15 JA38 JA39

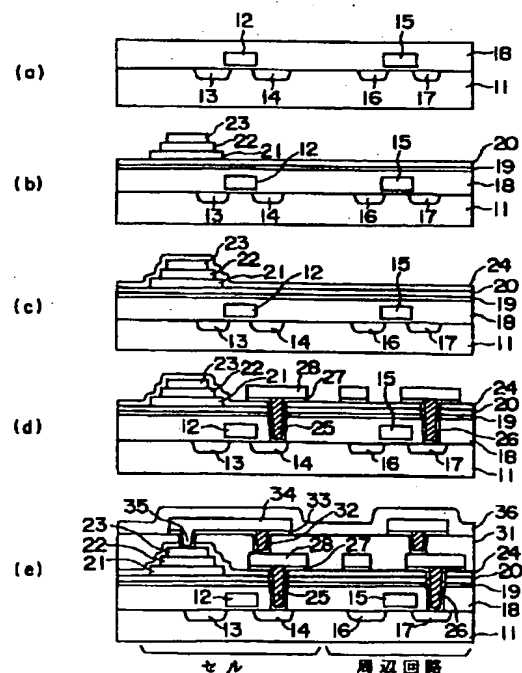
PR03 PR21 PR38 PR40

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【課題】 1層目の配線層を平坦に形成し、かつ配線層と半導体基板表面とを接続するコンタクトホールの加工及び埋め込みが容易である半導体記憶装置及びその製造方法を提供する。

【解決手段】 FRAMキャパシタの上部電極23がコンタクトホール35、2層目の配線層34、コンタクトホール33、1層目の配線層28、コンタクトホール25を介して半導体基板11の表面の拡散層14と接続されており、1層目の配線層28がFRAMキャパシタとほぼ同じ高さに形成されている。これにより、1層目の配線層28と半導体基板11の表面とを接続するコンタクトホール25の深さを浅くしてアスペクト比を小さくすることができる。この結果、コンタクトホールの加工及び埋め込みが容易になり、微細化が可能となる。



1

【特許請求の範囲】

【請求項1】トランジスタおよび強誘電体キャパシタを含むセルを有する半導体記憶装置において、半導体基板表面に第1の絶縁層を介して形成した前記強誘電体キャパシタと、

前記強誘電体キャパシタを覆うように形成した第2の絶縁層の表面上に形成した第1の配線層と、

前記第1の配線層を覆うように形成した第3の絶縁層の表面上に形成され、第2及び第3の絶縁層に開口したコンタクトホールを介して前記強誘電体キャパシタの上部電極に直接接続された第2の配線層とを備えることを特徴とする半導体記憶装置。

【請求項2】請求項1記載の半導体記憶装置において、前記第1の絶縁層の内部に形成した第3の配線層をさらに備えることを特徴とする半導体記憶装置。

【請求項3】請求項2記載の半導体記憶装置において、前記強誘電体キャパシタの上部電極と前記トランジスタの拡散層が前記第3の配線層を介して接続されていることを特徴とする半導体記憶装置。

【請求項4】請求項1乃至3のいずれかに記載の半導体記憶装置において、

前記第1の配線層と前記第2の配線層の少なくとも一方が、少なくともアルミニウム又は銅のいずれか一方を含む材料からできていることを特徴とする半導体記憶装置。

【請求項5】トランジスタと強誘電体キャパシタを含むセルを有する半導体記憶装置の製造方法において、半導体の基板表面に第1の絶縁層を形成する工程と、前記第1の絶縁層上に強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタ上を覆うように第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に第1の配線層を形成する工程と、

前記第1の配線層上に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜及び第2の絶縁膜にコンタクトホールを開き前記強誘電体キャパシタの上部電極を露出させる工程と、

前記第3の絶縁膜上に第2の配線層を形成する工程とを備えることを特徴とする半導体記憶装置の製造方法。

【請求項6】請求項5記載の半導体記憶装置の製造方法において、

前記第1の絶縁層の形成工程が2つ以上の絶縁層堆積工程からなり、

前記第1の絶縁層内部に第3の配線層を形成する工程をさらに備えることを特徴とする半導体記憶装置の製造方法。

【請求項7】請求項5又は6記載の半導体記憶装置の製造方法において、

前記第1の配線層または前記第2の配線層のうちの少なくともいずれか一方の材料がアルミニウムまたは銅を含

2

んでいることを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置及びその製造方法に係わり、特に強誘電体メモリ（Ferroelectric Random Access Memory、以下FRAMという）及びその製造方法に関する。

【0002】

【従来の技術】FRAM製品あるいはFRAM混載ロジック製品は、図4に示されるようなセルの回路構成を備えている。各々のセルは、一つのトランジスタTrと一つのキャパシタCとを有し、トランジスタTrのソース、ドレイン拡散層のうちの一端がキャパシタCの一端と接続されている。トランジスタTrのソース、ドレイン拡散層の他端はビット線BLに接続され、トランジスタTrのゲートはワード線WLに接続され、キャパシタCの他端はプレート線PLに接続されている。

【0003】このようなFRAMの従来のセル構造は、図3に示されるようであった。半導体基板71の表面がセル領域と周辺回路領域とに分かれており、セル領域と周辺領域とにおいてそれぞれドレイン拡散層73及びソース拡散層74、ドレイン拡散層76及びソース拡散層77とが形成されている。半導体基板71上にゲート酸化膜を介してゲート電極72、75がそれぞれ形成され、これらのゲート電極72及び75上にBPSG膜78が形成されてその表面が平坦化されている。BPSG膜78の表面上には、バリア層としてのシリコン窒化膜79及びシリコン酸化膜80が形成されている。

【0004】シリコン酸化膜80の表面上に、下部電極81、誘電体82、上部電極83が順に形成されてFRAM用キャパシタが構成されている。このキャパシタ及びシリコン酸化膜80の表面上にTEOS等から成る絶縁層84が形成されてその表面が平坦化されている。

【0005】ここで、セル領域におけるトランジスタTrのゲート電極72はチタンやタングステン等の高融点金属により埋め込まれたコンタクトホールを介して絶縁膜84上に形成された配線である図示されていないワード線WLに接続され、ドレイン拡散層73は先と同様に高融点金属により埋め込まれたコンタクトホールを介して絶縁膜84上に形成された配線である図示されていないビット線BLに接続されている。ソース拡散層74はコンタクトホール85を埋める高融点金属膜及び1層目の配線層88を介してキャパシタの上部電極83に接続され、下部電極81は図示されていないプレート線PLに接続されている。

【0006】BPSG膜78、シリコン窒化膜79、シリコン酸化膜80、絶縁層84にコンタクトホールが開孔されてソース拡散層74、77の表面が露出し、その内部がチタンやタングステン等の高融点金属膜85で埋め込まれている。また、絶縁層84にコンタクトホール

3

が開孔されて上部電極83の表面上が露出し、その内部表面に高融点金属膜87が形成されている。

【0007】絶縁層84の表面上にアルミニウム等から成る1層目の配線層88が形成され、上部電極83と接続されている。また配線層88は、コンタクトホール85を埋め込んでいる高融点金属膜85及び87を介してソース拡散層74、77と接続されている。

【0008】配線層88及び絶縁層84の表面上にさらに絶縁層89が形成されて平坦化されており、その表面上に2層目の配線層92が形成されている。2層目の配線層92と1層目の配線層88とは、コンタクトホール91を介して接続されている。配線層92と絶縁層89の表面上は、パッシベーション膜93で覆われている。

【0009】

【発明が解決しようとする課題】しかし、上記構造を有する従来の半導体記憶装置には、次のような問題があった。図3に示されたように、1層目の配線層88と半導体基板71表面のソース拡散層74とを接続するためのコンタクトホールを、BPSG膜78、シリコン窒化膜79、シリコン酸化膜80及び絶縁層84の膜厚分だけ深く形成しなければならない。よって、コンタクトホールの開口径に対する深さのアスペクト比が大きくなり、コンタクトホールの加工及び埋め込みが困難であった。

【0010】また、FRAM用キャパシタを覆う絶縁層84の表面を平坦化しない場合には、この絶縁層84の膜厚を薄くできるのでコンタクトホールの深さを浅くすることができる。しかし、この場合には絶縁層84上に形成する1層目の配線層88が平坦にならないので、配線層88をパターンニングするためのリソグラフィ及びエッチングが困難になる。

【0011】上述のように、従来は配線層を平坦化する場合には、半導体基板の表面と配線層とを接続するコンタクトホールが深くなりコンタクトホールの加工及び埋め込みが困難になり、微細化を実現することができないという問題があった。

【0012】本発明は上記事情に鑑みてなされたもので、配線層の加工及び配線層と半導体基板とを接続するコンタクトホールの加工及び埋め込みが容易であり、微細化を実現することができる半導体記憶装置及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の半導体記憶装置は、トランジスタおよび強誘電体キャパシタを含むセルを有する半導体記憶装置において、半導体基板表面に第1の絶縁層を介して形成された前記強誘電体キャパシタと、前記強誘電体キャパシタを覆うように形成した第2の絶縁層の表面上に形成した第1の配線層と、前記第1の配線層を覆うように形成した第3の絶縁層の表面上に形成され、第2及び第3の絶縁層に開口したコンタクトホールを介して前記強誘電体キャパシタの上部電極に直

4

接接続された第2の配線層を備えることを特徴とする。

【0014】ここで、第1の絶縁層の内部に第3の配線層を形成してもよい。

【0015】また、キャパシタの上部電極とトランジスタの拡散層が第3の配線層を介して接続されていてもよい。

【0016】さらに、第1の配線層と第2の配線層の少なくとも一方が、少なくともアルミニウム又は銅のいずれか一方を含む材料からできていてもよい。

【0017】本発明の半導体記憶装置の製造方法は、トランジスタと強誘電体キャパシタを含むセルを有する装置の製造方法であって、半導体の基板表面に第1の絶縁層を形成する工程と、前記第1の絶縁層上に強誘電体キャパシタを形成する工程と、前記強誘電体キャパシタ上に覆うように第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第1の配線層を形成する工程と、前記第1の配線層上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜及び第2の絶縁膜にコンタクトホールを開口し前記強誘電体キャパシタの上部電極を露出させる工程と、前記第3の絶縁膜上に第2の配線層を形成する工程を有することを特徴とする。

【0018】ここで、第1の絶縁層の形成工程が2つ以上の絶縁層堆積工程からなり、第1の絶縁層内部に第3の配線層を形成する工程を有していてもよい。

【0019】また、第1の配線層または第2の配線層のうちの少なくともいずれか一方の材料がアルミニウムまたは銅を含んでいてもよい。

【発明の実施の形態】

【0020】以下、本発明の一実施の形態について図面を参照して説明する。

【0021】本発明の第1の実施の形態による半導体記憶装置の製造方法について素子の縦断面を示す図1

(a)～図1(e)を用いて説明し、同半導体記憶装置の構成について図1(e)を用いて述べる。

【0022】図1に示されたように、半導体基板11の表面がセル領域と周辺回路領域とに分かれている。まず図1(a)のように、セル領域と周辺領域とにおいてそれぞれ不純物がイオン注入されて拡散され、ドレイン拡散層13及びソース拡散層14、ドレイン拡散層16及びソース拡散層17が形成される。半導体基板11上に、ゲート酸化膜を介してゲート電極12、15がそれぞれ形成される。

【0023】ゲート電極12及び15上にLPCVD (Low Pressure Chemical Vapor Deposition) 法により1層目の層間絶縁膜としてBPSG膜18が約1800nmの膜厚で堆積され、その表面がCMP (Chemical Mechanical Polishing) により平坦化されて膜厚が約1000nmとなる。BPSG膜18の表面上に、膜厚約150nmのシリコン窒化膜19がLPCVD法により形成され、さらにその表面上に膜厚約200nmのシリ

5

コン酸化膜 20 が LPCVD 法、プラズマ CVD 法、あるいは常圧 CVD 法により形成される。

【0024】ここでシリコン窒化膜 19 は、後の FRAM キャパシタの形成工程における酸素雰囲気中のアニール処理において、アニール処理によりトランジスタの特性が変動するのを防止するために、バリア層として形成されるものである。

【0025】図 1 (b) に示されたように、シリコン酸化膜 20 の表面上にチタン (Ti)、白金 (Pt) が順にスパッタリングにより蒸着され、その表面上にチタン酸ジルコン酸鉛から成る PZT 膜が形成され、さらにその表面上に白金がスパッタリングにより蒸着される。反応性イオンエッチング (以下、RIE という) により、上部の膜から順に下方に向かってパターニング加工が行われ、上部電極 23、キャパシタ絶縁膜用の強誘電体膜 22、下部電極 21 が形成され、これにより FRAM 用キャパシタが構成される。ここで、強誘電体膜 22 にダメージが入って本来の特性と異なった場合には、摂氏約 500 度から 650 度の酸素雰囲気中でアニール処理を行うことで、回復することができる。また PZT 膜の替わりに、ストロンチウム、ビスマス、チタンから成る SBT 膜を形成してもよい。

【0026】図 1 (c) のようにプラズマ CVD 法により第 2 の層間絶縁膜として、例えば d-TEOS 膜 24 が表面全体を覆うように形成される。この d-TEOS 膜 24 はキャパシタの総膜厚よりも薄い、例えば 200 ~ 300 nm 程度の膜厚でよい。d-TEOS 膜 24 の膜厚が厚すぎると、後に形成するコンタクトホールの深さが深くなり過ぎるので好ましくない。逆に、d-TEOS 膜 24 の膜厚が薄すぎると、この膜 24 の表面上に形成する配線層をパターニングする際にエッチングにより除去されて、キャパシタを保護する役割を果たさなくなる。よって、d-TEOS 膜 24 の膜厚は、キャパシタの保護膜としての役割を果たし、かつ必要以上に厚すぎないように設定すべきである。

【0027】写真蝕刻法によりパターニングを行った後に、図 1 (d) のように RIE を用いて BPSG 膜 18、シリコン窒化膜 19、シリコン酸化膜 20、d-TEOS 膜 24 を貫通し半導体基板 11 表面のソース拡散層 14、17 の表面が露出するコンタクトホール 25、26 が開孔する。スパッタリングにより表面全体を覆うように Ti 膜が 40 nm の膜厚で形成され、さらに TiN 膜 27 が 60 nm の膜厚で形成される。コンタクトホール 25、26 の内部にタングステン等の高融点金属が CVD 法により堆積されて埋め込まれ、CDE エッチバックによりコンタクトホール 25、26 以外の領域のコンタクト埋め込み材として用いるタングステン等の高融点金属が除去される。この時、下地の Ti、TiN は除去されない。

【0028】表面全体に AlCu がスパッタリング法に

6

より 400 nm の膜厚で堆積され、Ti 及び TiN 膜 27 とともに配線形状にパターニングされて 1 層目の配線層 28 が形成される。従来の半導体記憶装置では、図 3 に示されたように 1 層目の配線層 83 がキャパシタ上の層間絶縁膜 84 の表面上に形成される。本実施の形態では、1 層目の配線層 28 がキャパシタとほぼ同じ高さにある d-TEOS 膜 24 の表面上に形成される。従って、本実施の形態によれば従来よりも短い長さで平坦な膜の上に配線層を形成することが可能であり、リソグラフィの問題が回避され、パターニングの加工も容易である。

【0029】段差のある膜の表面上に配線層を形成する場合には、エッチングの対象となる膜の厚さが、平坦部よりも段差部では実効的に厚くなる。よって、より長い時間エッチングを行う必要が生じる。しかし、エッチング時間が長いと下地膜がエッチングにより除去される場合がある。本実施の形態では平坦な d-TEOS 膜 24 上に配線層 28 を形成するため、このような問題を回避することができる。

【0030】図 1 (e) に示されたように、キャパシタ及び 1 層目の配線層 28 を覆うように、プラズマ CVD 法により TEOS 膜 31 が堆積される。TEOS 膜 31 に CMP により平坦化が行われ、1200 nm の膜厚の 3 層目の層間絶縁膜となる。TEOS 膜 31 に対してコンタクトホール 32 が開孔されて 1 層目の配線層 28 の表面が露出する。

【0031】TEOS 膜 31 の表面及びコンタクトホール 32 の内面を覆うように、スパッタリング法又は CVD 法により TiN 膜 33 が 70 nm の膜厚で堆積される。CVD 法によりタングステン (W) 等の高融点金属が堆積され、コンタクトホール 33、35 の内部が埋め込まれた後、CDE エッチバックによりコンタクトホール以外の領域の W 等のコンタクト埋め込みに用いる金属とコンタクト側壁を覆っている TiN 等の金属を除去する。

【0032】さらに TEOS 膜 31 と d-TEOS 膜 24 とにコンタクトホール 35 が開孔されて、上部電極 23 の表面が露出する。ここで、コンタクトホール 32 と同時にコンタクトホール 35 を開孔して高融点金属を埋め込んでもよいが、本実施の形態ではコンタクトホール 35 の形成を後に行っている。

【0033】これは、次のような理由によるものである。上部電極 23 とコンタクトをとるためのコンタクトホール 35 は、コンタクトホール 32 よりもアスペクト比が小さい。よって、高融点金属による埋め込みの必要性は小さい。また、アスペクト比が大きく異なるコンタクトホール 35 と同時に同一条件でコンタクトホール 32 を埋めることは困難である。さらに、埋め込みの際のダメージがキャパシタに及ばないように、コンタクトホール 35 には埋め込みを行わない方が好ましい。次に、

7

スパッタリング法又はCVD法によりTiN膜33を膜厚70nmで堆積し、さらにAlCu膜34を膜厚600nmで堆積した後に配線形状にパターニングし、2層目の配線層とする。これにより、キャパシタコンタクトプラグと上部電極23とを接続するキャパシタ電極配線が形成されることになる。

【0034】この後、表面全体を覆うようにパッシベーション膜36が形成され、図示されていないパッド部が開孔される。3層以上の装置を製造する場合には、同様な工程が繰り返されて配線層と層間絶縁膜とが形成され、パッシベーション膜の形成及びパッド部の開孔が行われる。

【0035】ここで、セル領域におけるトランジスタTrのゲート電極12は高融点金属により埋め込まれたコンタクトを介して図示されていないワード線WLに接続され、ドレイン拡散層13は高融点金属により埋め込まれたコンタクトを介して図示されていないビット線BLに接続されている。このビット線は、第1の配線層で形成しても、第2の配線層で形成してもよい。ソース拡散層14はコンタクトホール25を埋める高融点金属膜、1層目の配線層28、コンタクトホール32を埋める高融点金属膜、2層目の配線層34、コンタクトホール35を埋める配線材を介してキャパシタの上部電極23に接続され、下部電極21は図示されていないプレート線PLに接続されている。

【0036】以上の工程を経て得られた本実施の形態による半導体記憶装置は、次のような特徴を備えている。図3に示された従来の装置では、FRAMキャパシタの上部電極83と半導体基板71表面のソース拡散層74との接続を、1層目の配線層88を介して行っていた。そして、この1層目の配線層88はFRAMキャパシタを覆うように形成された絶縁層84上に形成されており、FRAMキャパシタとは形成されている高さが異なっている。このため、上述したように、1層目の配線層88と半導体基板81の表面とを接続するコンタクトホール85の深さが非常に深くなってしまい、コンタクトホールの形成及び埋め込みが困難であった。

【0037】これに対し、本実施の形態ではFRAMキャパシタの上部電極23と半導体基板11表面のソース拡散層14との接続を、1層目の配線層28のみならず2層目の配線層34を介して行っている。そして、1層目の配線層28がd-TEOS膜24上に形成されており、形成されている高さがFRAMキャパシタとほぼ同じである。これにより、1層目の配線層28と半導体基板11の表面とを接続するためのコンタクトホール25の深さが浅くなり、アスペクト比が小さくなる。よって、コンタクトホールの形成及び埋め込みが容易である。このことは、特に微細化の要求が厳しいFRAM混載ロジック製品において有利である。

【0038】さらに、本実施の形態によれば、FRAM

8

キャパシタを形成した後の工程で1層目及び2層目の配線層28、34を形成するので、次のような効果が得られる。FRAMキャパシタを形成する工程では、上述したように、強誘電体膜22にダメージがある場合にはその回復のために酸素雰囲気中で摂氏500℃～650℃のアニール処理を行う必要がある。このような処理を行う前に1層目の配線層を形成するときには、アルミニウムのような低融点の金属ではアニール処理中に融解してしまうので、タングステン等の高融点金属を用いなければならないが、タングステン等の高融点金属は一般にアルミニウムに比較して抵抗値が高いので、信号伝達速度の遅延等の問題が生じやすい。

【0039】しかし、本実施の形態ではFRAMキャパシタの形成後に1層目、2層目の全ての配線層28、34の形成を行うので、キャパシタのアニール処理の影響を受けることがない。従って、全ての配線層をアルミニウム等の抵抗値の低い配線材料で形成することが可能であり、装置の特性向上に寄与する。

【0040】本発明の第2の実施の形態による半導体記憶装置は、図2に示されるような断面構造を有している。半導体基板41の表面部分において、セル領域ではドレイン拡散層43、ソース拡散層44が形成され、周辺回路領域ではドレイン拡散層46、ソース拡散層47が形成されている。半導体基板41の表面上に図示されていないゲート酸化膜を介してゲート電極42、45が形成され、半導体基板41及びゲート電極42、45を覆うようにBPSG膜48が形成されている。

【0041】セル領域において、BPSG膜48に対してコンタクトホール66が形成されてドレイン拡散層44の表面が露出した後、1層目の配線層を形成する領域がエッチングにより除去される。BPSG膜48の表面がチタン膜49で覆われた後、タングステン等の高融点金属が埋め込まれてデュアルダマシーンによる配線層68が形成される。これにより、半導体基板41表面のソース拡散層44と1層目の配線層68とがコンタクトホールを介して接続される。

【0042】BPSG膜48及び配線層68の表面全体を覆うようにシリコン窒化膜50、シリコン酸化膜51が形成されている。シリコン酸化膜51上に、セル領域において下部電極52、強誘電体膜53、上部電極54が形成されてFRAMキャパシタが構成されている。このキャパシタとシリコン酸化膜51を覆うようにd-TEOS膜55が形成され、周辺回路領域においてTi及びTiN膜56及びAlCu膜57が形成され、1層目の配線層が構成されている。FRAMキャパシタ及び配線層57を覆うようにTEOS膜58が形成されている。セル領域において1層目の配線層68と接続をとるためのコンタクトホール62が開孔され、上部電極54と接続するためのコンタクトホール64が開孔され、さらに周辺回路領域において1層目の配線層57と接続す

9

るためのコンタクトホール69が開孔されている。コンタクトホール62、64及び69の内部にTiN膜61が形成され、コンタクトホール62及び69の内部が高融点金属で埋め込まれている。TEOS膜58上に2層目の配線層63が形成され、表面全体を覆うようにパッシベーション膜65が形成されている。

【0043】上記第1の実施の形態では、FRAMキャパシタとほぼ同じ高さに、セル領域及び周辺領域の両方において1層目の配線層28が形成されている。そして、セル領域においてFRAMキャパシタの上部電極23と半導体基板11表面との接続が、2層目の配線層34及び1層目の配線層28を介して行われている。

【0044】これに対して第2の実施の形態では、周辺領域ではFRAMキャパシタとほぼ同じ高さに1層目の配線層57が形成されているが、セル領域ではFRAMキャパシタよりも低い高さにタングステンによる配線層68が形成されている。この配線層68とコンタクトホール66、2層目の配線層63とコンタクトホール64及び62を介して上部電極54とソース拡散層44とが接続されている。

【0045】本実施の形態においても、2層目の配線層63と1層目の配線層49とを接続するコンタクトホール62のアスペクト比が従来よりも小さいので、コンタクトホールの形成及び埋め込みが容易であり、微細化の要求にも対応することができる。

【0046】また、本実施の形態では1層目の配線層68がFRAMキャパシタよりも早い段階で形成される。従って、強誘電体膜53に対する酸素雰囲気中でのアニール処理の影響を受けて酸化されないように、配線層68を高融点金属で形成しなければならず、上記第1の実施の形態よりも配線抵抗が大きくなる。しかし、セル領域において1層目の配線層68とFRAMキャパシタとが上下方向に重なるように配置することができるので、セル面積の縮小に寄与する。特に、セル領域では周辺回路と比較して、動作速度よりもセル面積の縮小に対する要求が厳しいので、セル面積縮小の効果が得られるのは実際の製品において有用である。

【0047】上述した実施の形態は一例であり、本発明を限定するものではない。例えば、各々の配線層や絶縁層の材料あるいは形成方法はいずれも一例であって、他の材料を用いて他の方法により形成してもよい。

【0048】

【発明の効果】以上説明したように、請求項1記載の半導体記憶装置によれば、強誘電体キャパシタの上部電極に直接接続された配線層よりも下層に、この配線層と同

10

一材料から成る配線層が形成されているので、配線層に好適な材料で2層の配線層を構成することが可能であり、また下層側の配線層の加工及び平坦化が容易である。請求項2、3記載の半導体記憶装置及び請求項5、6記載の製造方法によれば、強誘電体キャパシタよりも後の工程で第1の配線層を形成するため、強誘電体キャパシタの工程でのアニールで配線材料が融解する等の問題が起こらない。従って、配線材料として高融点金属を使用する必要がなく、例えばアルミニウム等の低抵抗の材料を配線として使用することができる。また第1のコンタクトホールの加工及び埋め込みが容易で微細化に寄与する。

【0049】請求項2、4記載の半導体記憶装置及び請求項7記載の製造方法によれば、第1のコンタクトホールの加工及び埋め込みが容易であるとともに、第1の配線層と強誘電体キャパシタとを絶縁膜を介して上下に重なるように形成することで微細化の達成が可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体記憶装置の製造方法を工程別に示した素子の縦断面図。

【図2】本発明の第2の実施の形態による半導体記憶装置の製造方法を工程別に示した素子の縦断面図。

【図3】従来の半導体記憶装置の製造方法を工程別に示した素子の縦断面図。

【図4】本発明を適用することが可能な半導体記憶装置のセルの構成を示した回路図。

【符号の説明】

11、41 半導体基板

12、15、42、45 ゲート電極

13、16、43、46 ドレイン拡散層

14、17、44、47 ソース拡散層

18、48 BPSG膜

19、50 シリコン窒化膜

20、51 シリコン酸化膜

21、52 下部電極

22、53 強誘電体膜

23、54 上部電極

24、58 d-BPSG膜

25、26、32、35、62、64、66、69 コンタクトホール

27、33、49、61 TiN膜

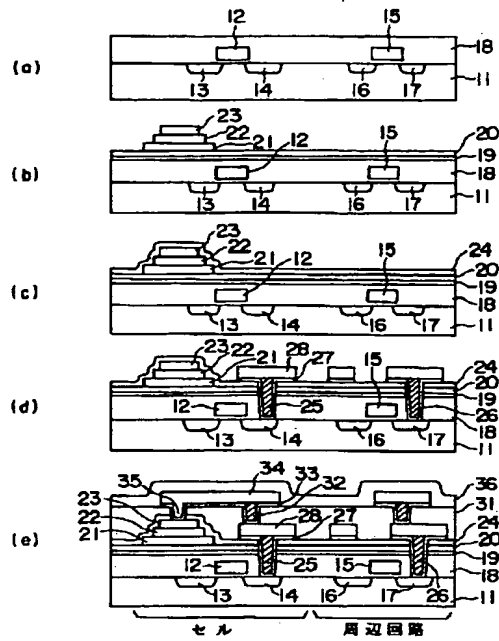
28、34、63 配線層(AlCu膜)

31、58 TEOS膜

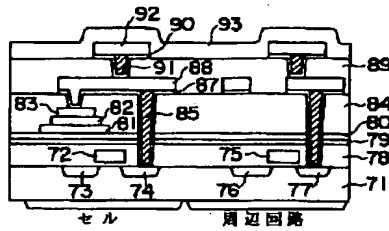
36、65 パッシベーション膜

68 配線層(タングステン膜)

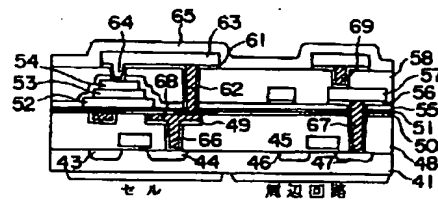
【図1】



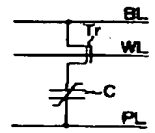
【図3】



【図2】



【図4】



フロントページの続き

(51) Int. Cl. 7
H01L 29/788
29/792

識別記号

F I

テマコード (参考)